

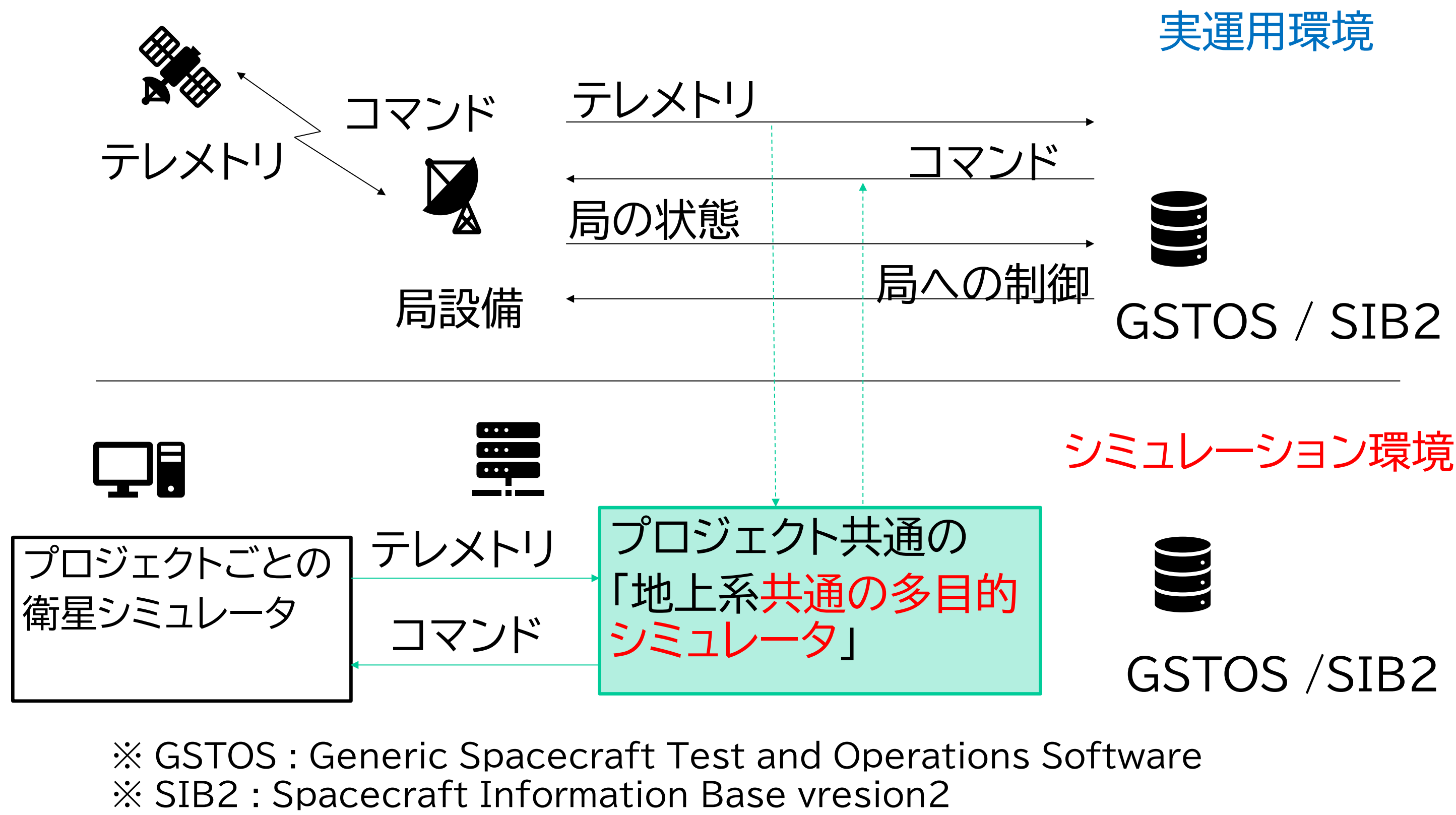
衛星搭載ソフトウェアの構築技術

- FSWの加速回帰試験の実現 -

名古屋大学 情報学研究科 高田光隆

1. 背景

- JAXA/ISASが主導する衛星システムに対して、**衛星全体を模擬するシミュレータ**を低コストで実現したい
- 実機では実施不可能な機能検証(オフノミナル試験)・**回帰試験を高速**に行う
- 衛星システムはマルチベンダーのため噛み合せ試験に課題

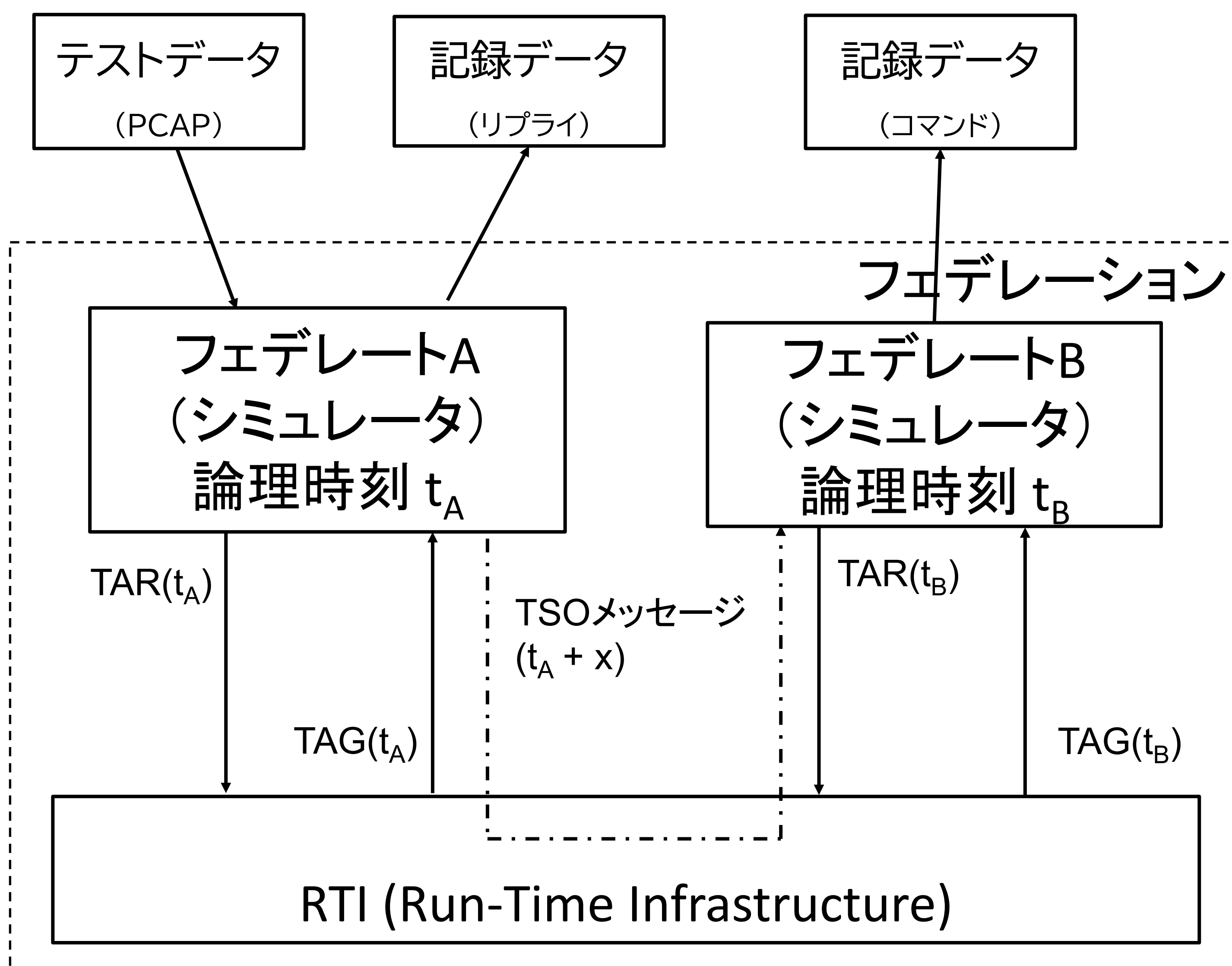


2. フライトソフト(FSW)の回帰試験の要件

- **タイムスロット通信**を前提とし、受信データタイミング(同一/次スロット)を通信ごとにきいていできること
- **機器ごとのFSWを別プロセス**で動かし、プロセス内もシミュレーション時刻で制御できること
- 通信**シーケンスの順序保証**をして、実行環境や負荷によらず同じ結果を再現しながら加速実行できること
- **タイムコード異常の注入**をし、実行後にシーケンスを時刻付きで観測できること
- 時刻管理は既存標準を活用できること

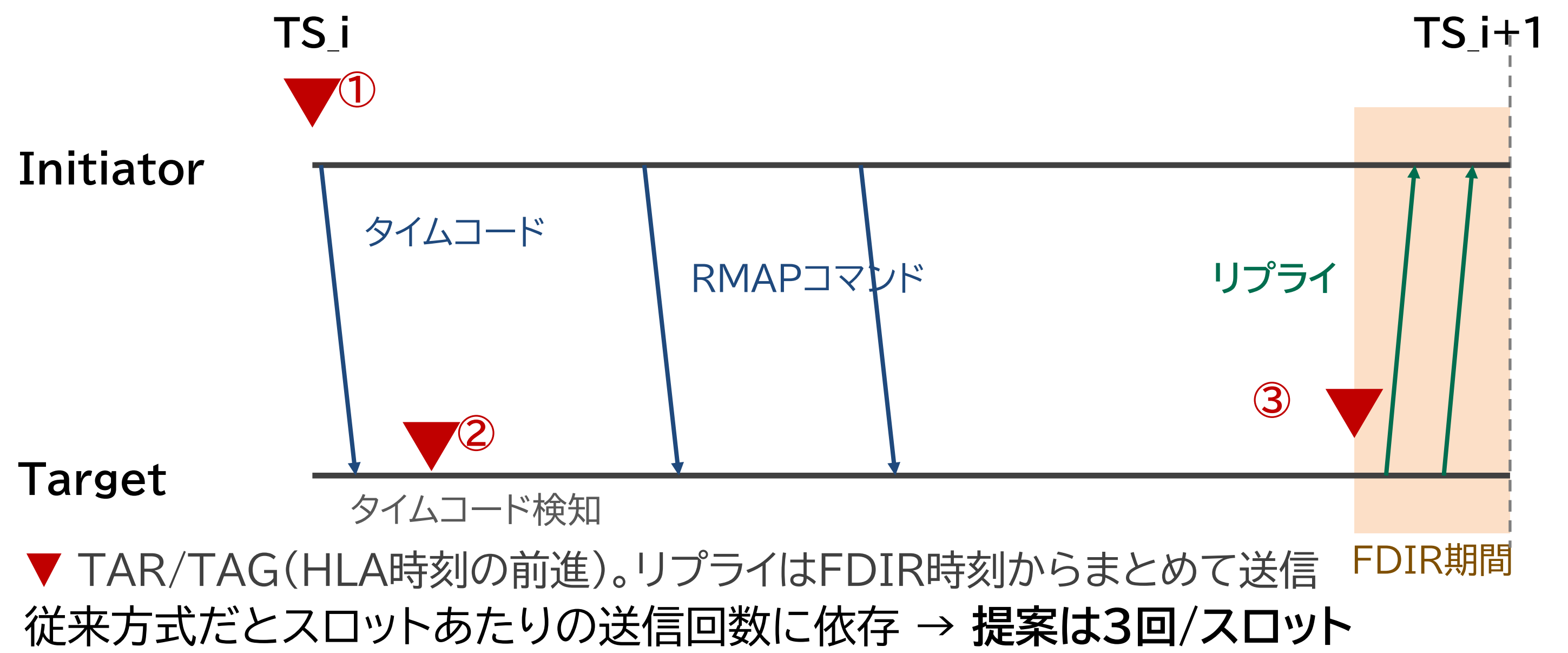
3. HLA : High Level Architecture

- 1990年代に米国防総省の主導で分散シミュレーション標準として仕様策定(最新は IEEE1516-2025)
- 別々のシミュレータ(フェデレート)を接続して1つの分散シミュレーション(フェデレーション)として動かす
- フェデレート同士は直接通信せずRTIを介して、FOMで定義したオブジェクトやインタラクションをやり取り
RTIの時間管理サービスによって、各フェデレートの論理時間を揃え、メッセージをタイムスタンプ順に配送するので、**実行環境によらずシーケンスの順序が保たれる**



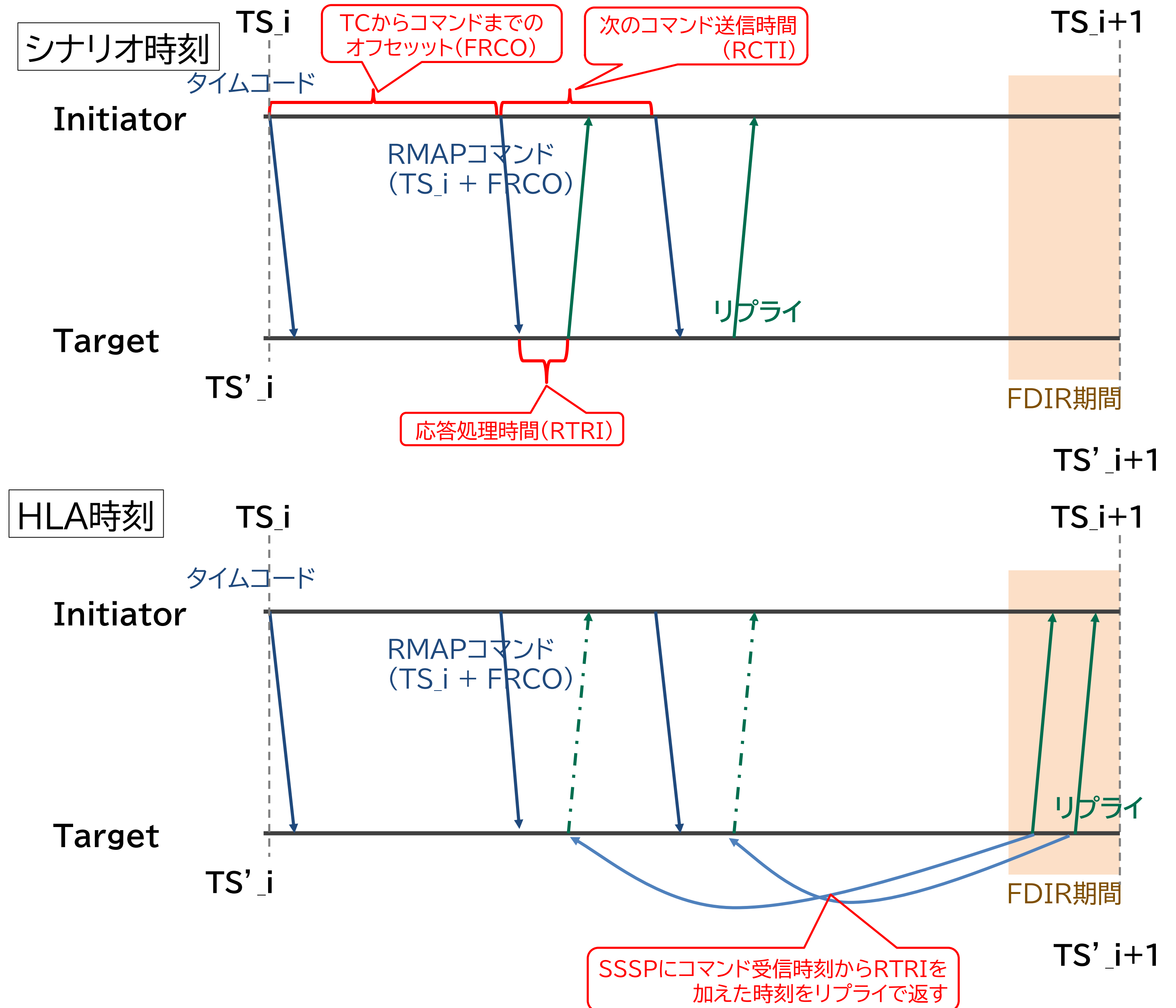
4. HLAとSSSPを用いた加速回帰試験

- 各ノードをHLAのフェデレートとして実装
- 試験の**シナリオデータ**、**結果データ**は**PCAPレコード**として保存・管理
- シナリオデータに送信時刻情報を埋め込むことで**任意のシミュレーション時刻でのテスト**が可能に
- 試験の高速化手法として、タイムスロットあたりのHLAのTAR/TAGの回数を減らす手法を提案
- スロット内の細かい時刻は**SSSP**でペイロードに埋め込む
- HLAの**時刻前進はスロット境界とFDIR**だけに限定
- トランザクション数によらず**1スロット3回のTAR**



5. HLAの高速化手法

TSOメッセージは仕様上フェデレートの未来時間にはしか送信できないが、SSSPを用いることで、過去のシミュレーション時刻で送信することが可能



6. まとめと今後

- SSSPとHLA時間管理の組み合わせで、搭載SWの通信ログを実時間より速く再生する加速回帰試験を実現
- タイムコードの異常ケースの検証データを追加
- さらなる高速化の検討のため、商用RTIや別実装のRTI (OpenRTI / Pitch)の評価